

一种基于反相器的音频应用低功耗 Sigma-Delta 模数转换器

柯 强^{1,2}, 卫宝跃^{1,2}, 梁 帅^{1,2}, 刘 昱^{1,2}, 张海英^{1,2}

(1 中国科学院 微电子研究所, 北京 100029; 2 新一代通信射频芯片技术北京市重点实验室, 北京 100029)

摘 要: 为实现音频应用低功耗 Sigma-Delta 模数转换器的设计, 采用基于反相器的设计方法. 模数转换器中 Sigma-Delta 调制器采用单环三阶前馈结构, 以及基于反相器的开关电容积分器设计, 并采用恒定跨导偏置 LDO 精确调整反相器的工作点, 提高电路稳定性. 该 Sigma-Delta 调制器采用 SMIC 0.18 μm CMOS 工艺, 在采样频率 6.144 MHz 下, 24 kHz 音频信号带宽内, 信噪失真比(SNDR)为 91.5 dB, 动态范围(DR)为 96 dB, 工作电源电压为 1.3 V, 整体功耗为 0.48 mW, 满足高性能低功耗的要求.

关键词: 音频模数转换器; Sigma-Delta 调制器; 低功耗; 基于反相器的开关电容电路

中图分类号: TN4

文献标识码: A

文章编号: 1000-7180(2016)08-0024-05

A Low Power Inverter-Based Sigma-Delta ADC for Audio Applications

KE Qiang^{1,2}, WEI Bao-yue^{1,2}, LIANG Shuai^{1,2}, LIU Yu^{1,2}, ZHANG Hai-ying^{1,2}

(1 Institute of Microelectronics of Chinese Academy of Sciences, Beijing 100029, China; 2 Beijing Key Laboratory of Radio Frequency IC Technology for Next Generation Communications, Beijing 100029, China)

Abstract: An inverter-based design technique is applied to accomplish a low power Sigma-Delta analog-to-digital converter (ADC) for audio applications. The Sigma-Delta modulator of the ADC adopts three order feedforward structure. The modulator is based on inverter-based switched-capacitor integrator. To increase the robust of the modulator, a constant gm bias LDO is used to regulate the inverter bias point. The Sigma-Delta modulator is implemented in SMIC 0.18 μm CMOS process. The simulation results of the Sigma-Delta modulator achieve 91.5 dB signal to noise and distortion ratio (SNDR), 96 dB dynamic range (DR) over 24 kHz audio band with 6.144 MHz sampling frequency and it consumes 0.48 mW power with 1.3 V supply voltage. The modulator is suitable for high performance and low power applications.

Key words: audio ADC; Sigma-Delta modulator; low power; inverter-based switched-capacitor circuit

1 引言

随着移动便携式设备市场的增长, 对低压低功耗集成电路设计提出了更高的要求. 模数转换器(ADC)作为连接模拟与数字的桥梁, 在物联网与便携式移动设备市场应用广泛, 在满足高精度和高速度的前提下, 低功耗成为主要的性能考量. Sigma-Delta 模数转换器采用过采样和噪声整形的技术, 可以大大降低模拟电路的精度和匹配的要求, 并且实现很高的分辨率, 广泛用于音频领域. 针对低压低功耗设计, Youngcheol Chae

提出了一种基于反相器的开关电容 Sigma-Delta 调制器^[1], 其中, 用 C 类反相器取代传统的运算跨导放大器(OTA), 从而大大降低芯片的功耗.

本文设计了一种基于反相器的音频应用低功耗 Sigma-Delta ADC, 满足音频 Sigma-Delta 调制器低电压、低功耗、高精度的要求.

2 Sigma-Delta 调制器系统设计

Sigma-Delta 调制器采用过采样和噪声整形两种技术, 过采样通过提高采样率降低量化噪声基底,

从而减小信号带内量化噪声;噪声整形则是因为调制器中输入信号和量化噪声的传输函数不同,信号传输函数对信号不做改变,噪声传输函数把量化噪声从带内整形到高频处,使其带内量化噪声得到抑制,然后通过数字抽取滤波器将带外高频处的量化噪声滤除,并将输出采样频率降低到奈奎斯特频率,从而达到高精度目的。

理想 Sigma-Delta 调制器信噪比由式(1)表示

$$\text{SNR}_{\text{ideal}} = \frac{3\pi}{2} \cdot (2^B - 1)^2 \cdot (2L + 1) \cdot \left(\frac{\text{OSR}}{\pi}\right)^{2L+1} \quad (1)$$

式中, B 是量化器的位数; L 是调制器的阶数; OSR 是过采样率。因此,可以调节量化器位数 B 、调制器的阶数 L 、过采样率 OSR 来取得需要的信噪比。增加量化器的位数可以提高调制器的信噪比,但是多比特 DAC 的非线性会影响整个 ADC 的线性度,多比特 DAC 需要额外的动态单元匹配(DEM)电路来降低非线性,增加电路的复杂度和功耗。增加调制器的阶数能显著提高信噪比,但是单环高阶(大于 5 阶)结构容易发生震荡,为了解决这个问题,可以采用多级级联(MASH)结构,它将低阶的调制器级联起来,不会有稳定性问题,但是级间的不匹配会造成噪声泄露,使模拟电路更敏感。增大 OSR 可以提高信噪比,OSR 决定时钟频率,提高时钟频率会提高运放的建立时间及摆率的要求,增加运放的功耗^[2]。

经过折衷考虑,本调制器采用单环 1 bit 量化三阶前馈结构,OSR=128,如图 1 所示, $\Sigma\Delta$ 调制器采用单环三阶前馈结构,采用前馈结构可以减小调制器中信号幅度,降低对放大器的直流增益和输出摆幅的要求。

考虑运放的有限直流增益、有限增益带宽积和

摆率、噪声等非理想因素的影响后,利用 Matlab Simulink 对调制器进行行为级建模^[3]。通过优化系数,减小积分器输出摆幅,优化噪声传输函数。Simulink 仿真输入信号为幅度 -6 dBFS,频率 4.3 kHz 的正弦信号,采样频率为 6.144 MHz,调制器的最大 SNDR 为 104.6 dB,有效位数 17 bit。

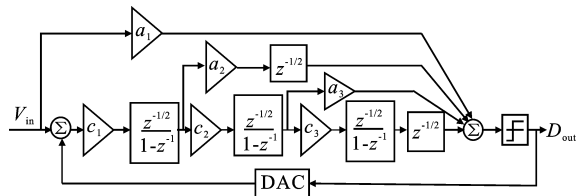


图 1 Sigma-Delta 调制器的整体系统框图

3 Sigma-Delta 调制器电路设计

Sigma-Delta 调制器总体电路结构如图 2 所示, Sigma-Delta 调制器由基于反相器的开关电容积分器和 1 bit 量化器组成,采用单环三阶前馈结构。反相器的偏置由 LDO 调制,免受工艺、电源、温度(PVT)影响。基于反相器的开关电容积分器采用伪差分结构,可以消除偶次谐波,提高调制器的信噪比;1 bit 量化器由动态比较器和 RS 锁存器组成,减小静态功耗;前馈通路的求和由量化器输入节点处的并联电容实现,对于 1 bit 量化器,无源电容求和网络不会影响环路滤波器的传输函数^[4];为避免片上需要额外电压产生电路,减小功耗,同时可以增大调制器的输入范围,反馈 DAC 的参考电压设为 VDD 和 GND;第一级采样开关采用栅源自举开关,避免由于开关导通电阻非线性引起的失真;开关由两相不交叠时钟、和下降沿延时时钟、控制,避免依赖于信号的沟道电荷注入。

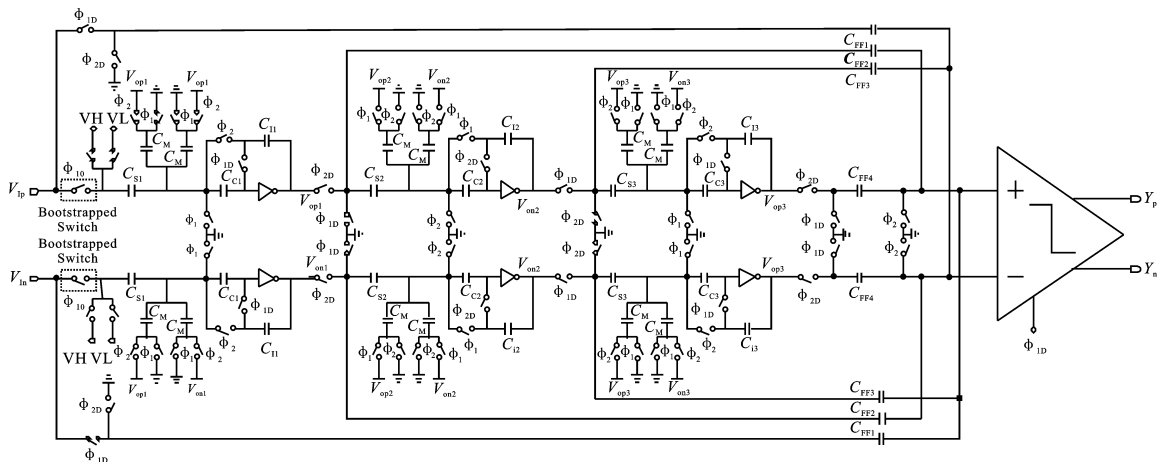


图 2 Sigma-Delta 调制器总体电路结构

3.1 基于反相器的开关电容积分器

针对低压低功耗设计,采用一种基于反相器的开关电容积分器,其中,用 C 类反相器取代传统的运算跨导放大器。基于反相器的开关电容积分器伪差分结构如图 3 所示,共模反馈由电容 C_M 实现,积分器工作在两个时钟相位,时,输入信号 V_i 采样到 C_s 上;时,电荷从 C_s 转移到 C_I 上,完成积分的功能。在积分器中,补偿电容 C_c 在时采样失调电压 V_{OFF} ,在时保持 V_{OFF} ,这称为自动归零 (Auto-zeroing) 技术,它可以用来补偿反相器的输入失调,并减小 $1/f$ 噪声。在时积分电容 C_I 保持之前相位的输出,在相位时,电荷从 C_s 转移到 C_I 上,由于 C_I 在两个相位都保持在反馈回路上,这称为相关双采样 (Correlated Double Sampling, CDS) 技术,它可以使有效直流增益平方,从而降低对 OTA 的直流增益的要求^[5]。

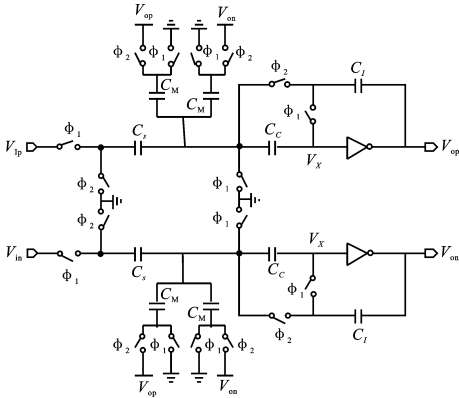


图 3 基于反相器的开关电容积分器伪差分结构

考虑反相器的有限直流增益,根据电荷守恒,可以推导积分器的传输函数:

$$H(z) = \frac{V_o(z)}{V_i(z)} = \frac{C_s}{C_I} \frac{\lambda z^{-1/2}}{1 - p z^{-1}} \quad (2)$$

式中:

$$\lambda = \frac{1}{1 + (1 + C_s/C_I)/A}$$

$$p = \frac{1 + 1/A}{1 + (1 + C_s/C_I)/A} \quad (3)$$

λ 和 p 分别为增益误差、相位误差, A 为运放增益,相位误差会引起积分器的泄露,因此相位误差会影响整个 Sigma-Delta 调制器的噪声传输函数的零点位置,采用 CDS 技术可以降低相位误差的影响,增益误差相对于相位误差对调制器的噪声性能影响可以忽略。

3.2 恒定跨导偏置 LDO

一个简单的反相器只能提供很低的电源抑制比 (PSRR),由于温度引起阈值电压变化,或晶体管处

于慢工艺角时,晶体管的跨导和电流将减小,反相器的带宽和摆率将严重下降,引起性能的下降。反相器的静态电流和带宽严重依赖于工艺、电源电压、温度^[6]。

本设计采用一种恒定跨导偏置 LDO,它可以精确调整放大器的工作点,使放大器工作点稳定,提高电源抑制比;恒定跨导电流源的偏置可以使反相器的单位增益带宽和工作点保持恒定,不受温度和工艺偏差的影响。

如图 4 所示,基于反相器的开关电容积分器中 OTA 和恒定跨导偏置电路通过调制信号 V_{dda} 连接; NMOS 晶体管 MN_{12} 和 PMOS 晶体管 MP_{12} 的尺寸基于反相器 OTA 等比例缩小,用于镜像开关电容积分器中 OTA 的工作点,产生反馈信号 V_{fb} ; 恒定跨导偏置电流源 I_{bias} 与 NMOS 晶体管 MN_{13} 相连,

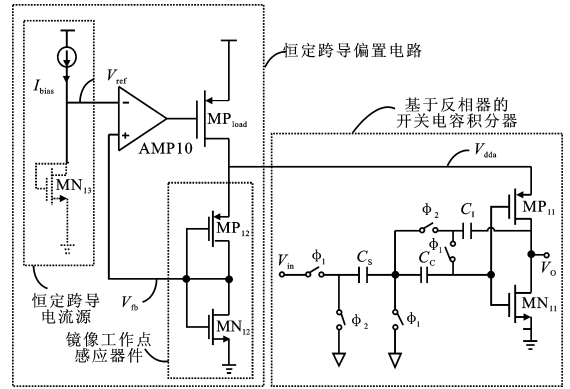


图 4 反相器的恒定跨导偏置电路

产生参考信号 V_{ref} 、反馈信号 V_{fb} 和恒定跨导电流偏置产生的参考电压 V_{ref} 作比较,形成负反馈回路,调制反相器的电源电压,反相器电源电压等于 NMOS 晶体管 MN_{12} 和 PMOS 晶体管 MP_{12} 的栅源电压之和,即 $V_{dda} = V_{G_{SN}} + |V_{G_{SP}}|$,使反相器 OTA 晶体管稳定工作在弱反型区,通过合适的时钟相位控制, C 类反相器具有高增益、高摆率、高跨导效率、低功耗等特点^[4]。通过负反馈环路精确调节放大器的电源电压,避免了使用额外调节通路所需的额外电容和信号干扰,使放大器工作点稳定,不受温度和工艺偏差的影响,以提高电源抑制比。采用恒定跨导电流源提供偏置,反相器的跨导保持恒定,不依赖于温度和工艺偏差,因此,反相器的单位增益带宽和建立时间在工艺偏差时也保持恒定,提高电路稳定性。

3.3 1 bit 量化器

1 bit 量化器由动态比较器和 RS 锁存器组成,如图 5 所示,时钟 CLK 为低时, M_7 管、 M_{10} 管导通, M_8

管、 M_4 管关断,将 A 、 B 节点预充电至 V_{DD} ,RS 锁存器保持原来的状态,量化器处于保持状态;CLK 变为高时, M_7 管、 M_{10} 管截止, M_3 管、 M_4 管导通, A 、 B 节点的电荷通过 M_3 、 M_4 管放电,放电速度取决于输入电压,当 A 节点或者 B 节点电压降到这对交叉耦合反相器的阈值电压时,正反馈网络会强制将 A 节点、 B 节点电压变为 V_{DD} 或 GND ,进而触发 RS 锁存器,完成量化的功能.本设计的 1 bit 量化器由动态比较器和 RS 锁存器组成,功耗很低,比较器的精度为 1.5 mV,最大延迟时间 17 ns,性能满足要求.

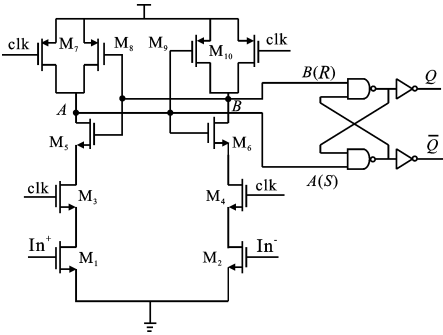


图 5 1 bit 量化器电路

3.4 开关

为了减小开关导通电阻非线性的影响,第一级采样开关采用栅压自举开关,由于后级积分器非线性会受到噪声传输函数整形^[7],其余开关采用 CMOS 传输门,如图 6 所示, M_1 为开关管,栅源电压恒定在 1.3 V,不随输入发生变化, $R_{on}=280\ \Omega$,SFDR=121 dB,满足设计要求.

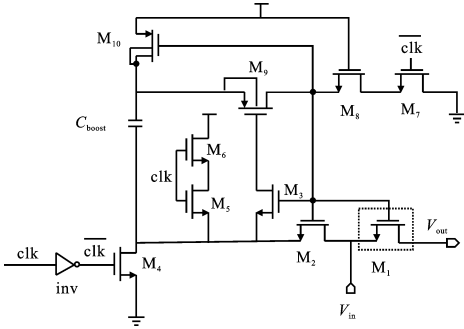


图 6 栅压自举开关

4 数字抽取滤波器

数字抽取滤波器在 Sigma-Delta ADC 中的主要作用是:滤除 Sigma-Delta 调制器在噪声整形中产生的带外高频噪声,同时将调制器的输出速率降至奈奎斯特频率.

数字抽取滤波器结构框图如 7 所示,采用四级

滤波器设计,调制器输出数据经第一级 CIC 滤波器将数据率 16 倍降采样,然后经过 CIC 补偿滤波器对第一级 CIC 滤波器通带滚降进行补偿,并对数据 2 倍降采样,第三、第四级采用半带滤波器,滤除带外噪声,并分别对数据 2 倍降采样,最后将 16 bit 的数据以 48 kHz 的速率输出.

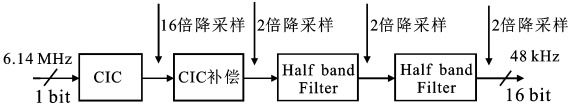


图 7 数字抽取滤波器结构框图

5 ADC 版图和仿真结果

本文设计的基于反相器的音频应用低功耗 Sigma-Delta 模数转换器采用 SMIC 0.18 μm CMOS 工艺.

Sigma-Delta 调制器电源电压 1.3 V,工作在采样频率 6.144 MHz 下,输入信号幅度 $-6\ \text{dBFS}@5.25\ \text{kHz}$,24 kHz 音频信号带宽内,信噪失真比(SNDR)91.5 dB,动态范围(DR)96 dB,有效位数约 15 bit,整体功耗 0.48 mW. Sigma-Delta 调制器输出频谱如图 8 所示.

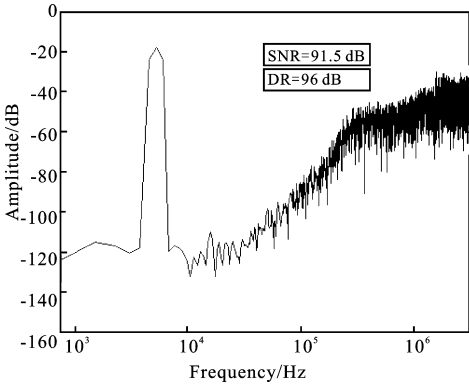


图 8 Sigma-Delta 调制器的输出频谱图

本文设计的 Sigma-Delta 调制器性能与论文^[1,8,9]的比较如表 1 所示,采用 Schreier 提出^[2]的优值 FOM_S :

表 1 本文与其他发表论文的性能比较

方法来源	工艺/nm	电源电压/V	带宽/kHz	SNDR/dB	动态范围/dB	功耗/mW	FOMs/dB
文献[1]	180	0.7	20	81	85	0.036	172
文献[8]	180	1	20	84	88	0.66	163
文献[9]	180	0.7	25	95	100	0.87	174
本文	180	1.3	24	91.5	96	0.48	173

$$FOM_S = DR + 10\log\left(\frac{BW}{Power}\right)$$

(4)

与其他已发表的 Sigma-Delta 调制器相比,功耗和综合性能良好,满足低功耗、高性能的要求。

6 结束语

本文设计的基于反相器的音频应用低功耗 Sigma-Delta 模数转换器采用前馈结构,可以减小调制器中信号幅度,降低对放大器的直流增益和输出摆幅的要求;基于反相器的开关电容积分器采用相关双采样技术,可以补偿反相器的有限直流增益和输入失调;采用恒定跨导偏置 LDO 精确调整反相器的工作点,使反相器的单位增益带宽和工作点保持恒定,不受工艺偏差、电源电压和温度的影响,提高电源抑制比。仿真结果表明, Sigma-Delta 调制器信噪失真比(SNDR) 91.5 dB,动态范围(DR) 96 dB,有效位数 15 bit,整体功耗 0.48 mW。该 Sigma-Delta 模数转换器满足芯片低电压、低功耗、高精度的设计要求。

参考文献:

- [1] Chae Y, Han G. Low voltage, low power, inverter-based switched-capacitor delta-sigma modulator [J]. IEEE Journal of Solid-State Circuits, 2009, 44(2): 458-472.
- [2] Schreier R, Temes G C. Understanding delta-sigma converter[M]. Hoboken, Wiley, IEEE press, 2005.
- [3] Brigati S, Francesconi F, Malcovati P, et al. Modeling sigma-delta modulator non-idealities in SIMULINK[C] // Proceedings of ISCAS, 1999. USA, Orlando, 1999 (2): 384-387.
- [4] Christen T. A 15 bit 140 uW scalable-bandwidth inverter-based delta sigma modulator for a MEMS microphone with digital output [J]. Solid-State Circuits, 2013, 48(7):1605-1614.

- [5] Enz C C, Temes G C. Circuit techniques for reducing the effects of op-amp imperfections: autozeroing, correlated double sampling, and chopper stabilization[J]. Proceedings of the IEEE, 1996, 84(11):1584-1614.
- [6] Luo H, Han Y, Cheung R C C, et al. A 0.8 V 230 W 98 dB DR inverter-based modulator for audio applications[J]. Solid-State Circuits, IEEE Journal of, 2013, 48(10):2430-2441.
- [7] 李迪. 高性能 sigma-delta ADC 的设计与研究[D]. 西安:西安电子科技大学, 2010.
- [8] Kuo C H, Shi D Y, Chang K S. A low-voltage fourth-order cascade delta - sigma modulator in 0.18 CMOS [J]. Circuits & Systems I Regular Papers IEEE Transactions on, 2010, 57(9):2450-2461.
- [9] Park H, Nam K Y, Su D K, et al. A 0.7 A 870 W digital audio CMOS sigma-delta modulator[J]. Solid-State circuits, IEEE Journal of, 2009, 44(4):1078-1088.

作者简介:

柯强 男, (1991-), 硕士研究生. 研究方向为数模混合集成电路设计. E-mail: keqiang@ime.ac.cn.

卫宝跃 女, (1982-), 博士, 研究助理. 研究方向为模拟集成电路设计、模数转换器设计.

梁帅 男, (1989-), 硕士研究生. 研究方向为数字集成电路设计.

刘昱 男, (1975-), 博士, 研究员. 研究方向为高性能模拟/射频 CMOS 集成电路、硅基毫米波集成电路、超低功耗短距离无线通讯系统、高精度低功耗传感电路、物联网相关技术及医疗电子系统集成技术.

张海英 女, (1964-), 博士, 研究员. 研究方向为 3G/4G 射频集成电路及模块物理设计技术、嵌入式多模、多频无线收发器 IP 核设计技术、医疗电子系统集成技术、超宽带无线个域网标准、物联网相关技术.

(上接第 23 页)

参考文献:

- [1] Hermann W Dommel. EMTP theory book[M]. Portland Bonneville Power Admin, 1985.
- [2] Chen Y, Dinavahi V. FPGA-based real-time EMTP[J]. IEEE Transactions on Power Delivery, 2009, 24(2): 892-902.
- [3] Zhuo Ling, Gerald R Morris, Viktor K Prasanna. High-performance reduction circuits using deeply pipelined operators on FPGAs[J]. Parallel and Distributed Systems, IEEE Transactions on, 2007, 18(10): 1377-1392.
- [4] Zhuo Ling, Viktor K Prasanna. High-performance and area-efficient reduction circuits on FPGAs[C]// Com-

puter Architecture and High Performance Computing, 2005. SBAC-PAD 2005. 17th International Symposium on. Brazil, IEEE, 2005.

- [5] Chen Yuan, Venkata Dinavahi. Digital hardware emulation of universal machine and universal line models for real-time electromagnetic transient simulation[J]. Industrial Electronics, IEEE Transactions on, 2012, 59(2): 1300-1309.

作者简介:

胡浩 男, (1990-), 硕士研究生. 研究方向为数字电路设计. E-mail: huhao_sjtu@163.com.

贺光辉 男, (1980-), 博士, 副教授. 研究方向为无线通信和多媒体系统的信号处理算法优化和 VLSI 架构设计.